

# PARTNER-Jet3

## Standard-20pin プローブ

### [型番 STD20P-01]

## マニュアル

この度は、JTAG専用デバッガ『PARTNER-Jet3』をお買い上げ頂きまして誠に有難うございます。PARTNERは、効率的なターゲットシステムのデバッグ環境を提供するために京都マイクロコンピュータ株式会社が開発、製造、販売している製品であり、たいへん有用なツールとして長く使用していただけるものと確信いたします。本製品の性能を十分に引き出してご使用頂くために、取扱説明書を熟読されるようお願い致します。

本製品は、ARM 社が規定している JTAG I/F コネクタ(20pin / 2.54mm pitch) に接続できます。

- ★ 本プログラム及び説明書は著作権法で保護されており、弊社の文書による許可がない限り複製、転載、改変等一切お断りいたします。
- ★ PARTNER(ハードウェア、プログラムおよび説明書)に関する著作権、販売権および総ての権利は京都マイクロコンピュータ株式会社が所有します。
- ★ 本製品の内容および仕様は予告なしに変更されることがありますのでご了承ください。
- ★ 本製品は、万全の注意を払って製作されていますが、ご利用になった結果については、京都マイクロコンピュータ株式会社は一切の責任を負いかねますのでご了承ください。
- ★ 本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

(C) 2025 京都マイクロコンピュータ株式会社

## 取り扱い上の注意

本書では製品を安全にお使いいただくための項目を次のように記載しています。



特定しない一般的な注意・警告を示します。



感電のおそれがあることを示します。



発煙または発火のおそれがあることを示します。

本製品を安全にお使いいただくために次の注意事項をお守りください。



**煙や異臭、異音が生じたら使わない**

万一、発熱、煙、異臭、異音が発生したら、すぐに電源を OFF にして、USB ケーブルや電源コードをコンセントから抜いてください。そのまま使用すると感電や火災のおそれがあります。



**分解・修理・改造はしない**

本製品を分解・修理・改造しないでください。誤動作の原因となるばかりでなく、感電、火傷、けがのおそれがあります。



**本製品内に異物(液体・金属等)を入れない**

コーヒーなどの液体やクリップなどの金属片が本体製品内部に入らないように気をつけてください。通気孔などのすきまから金属片や針金などの異物を差し込まないでください。感電や火災のおそれがあります。



**ぬれた手で本製品や電源コードを触らない**

ぬれた手で本製品や電源コードを触らないでください。感電するおそれがあります。



**高温、多湿、ほこりの多い場所や直射日光のたる場所に置かない、使用しない**

本製品をほこりの多い場所や湿気の多い場所、直射日光のあたる場所には置かないでください。本製品の故障、および火災になるおそれがあります。



**重いものを上にのせたり圧力をあたえない**

本製品の上に重いものをのせたり、圧力がかかるような環境に置かないでください。本製品の故障、及び火災になるおそれがあります。



**落としたり、振動や衝撃をあたえない**

本製品及び付属物を高いところから落としたり、振動や衝撃がかかるような環境に置かないでください。本製品の故障の原因となります。



**急激な環境(温度や湿度)で使用しない**

本製品を温度や湿度が急激に変化する環境下で使用しないでください。本製品の故障の原因となります。



**コネクタの接続や電源投入順序を守る**

ターゲットボードとの接続や電源の投入は本書の説明を熟読してから作業を開始します。間違った接続をされると故障や火災になる可能性があります。不明な点はお問い合わせください。



**通風孔をふさがない**

製品の底部や上部にある通風孔をふさがないように注してください。過熱による故障や火災になる恐れがあります。

## 輸出に関する注意事項

本製品を日本国から輸出する場合は、安全保障貿易管理制度の輸出者等遵守基準に従い、該非確認(該非判定)を行った上で輸出する必要があります。

# 目次

---

取り扱い上の注意.....	2
1 製品構成[STD20P-01].....	4
2 ターゲットの推奨回路.....	5
2.1 ターゲットボード上に用意する 20 ピン JTAG コネクタ(2.54 ピッチ).....	6
2.2 リセット回路について.....	8
3 プローブ基板の取り扱い.....	10
3.1 Standard-20pin プローブ基板.....	10
3.1.1 テストポイント.....	10
3.1.2 寸法図.....	11
3.2 延長アダプタ.....	13
3.2.1 寸法図.....	13
3.3 JTAG 信号のスペック.....	14

# 1 製品構成[STD20P-01]

---



図1 製品構成

STD20 プローブ基板 + ケーブル L300mm

延長アダプタ

ケーブルとプローブ基板は、両面テープで固定されていますので外さないでください。ケーブルの反対側は、本体ハードウェアマニュアルを参照して本体の”JTAG”コネクタに接続します。

プローブ基板で、ターゲットボードのJTAGコネクタに接続します。延長アダプタは、物理的な制約でターゲットのボードに直接プローブ基板を接続できない場合に、プローブ基板の先端に接続して使用します。通常は、延長基板なしでターゲットに接続することをお奨めします。

**プローブの接続やケーブル(フレキ基板)の取り扱いおよびターゲット基板への接続の方法や注意事項は、『PARTNER-Jet3ハードウェアマニュアル』を参照ください。**

## 2 ターゲットの推奨回路

---

JTAG 機能を使ったデバッグを行う場合はターゲットボード上に、JTAG ケーブルを接続するための回路やコネクタが必要になります。次の図を参考にしてターゲット上に回路を用意しておいてください。また、必ずご使用のCPU のユーザズマニュアルも合わせてご確認ください。ARM では、以下のJTAG I/Fコネクタが定義されています。本製品では2.54mmピッチ 20 ピンコネクタを使用します。他のコネクタについては、それぞれの取扱説明書を参照してください。

20 ピンコネクタ：（トレース非対応） <本製品で対応するコネクタ>

2.54 ピッチで 20 ピンのボックスコネクタ。

20 ピンコネクタ：（4bit トレース対応可）

1.27 ピッチで 20 ピンのボックスコネクタ。

10 ピンコネクタ：（トレース非対応）

1.27 ピッチで HalfPitch-20Pin の簡易仕様タイプ。

38 ピン Mictor コネクタ：（8bit トレース対応）

38 ピン高密度インピーダンスマッチコネクタ(AMP 製 Mictor コネクタ) でトレース対応タイプ。

## 2.1 ターゲットボード上に用意する20ピンJTAGコネクタ(2.54ピッチ)

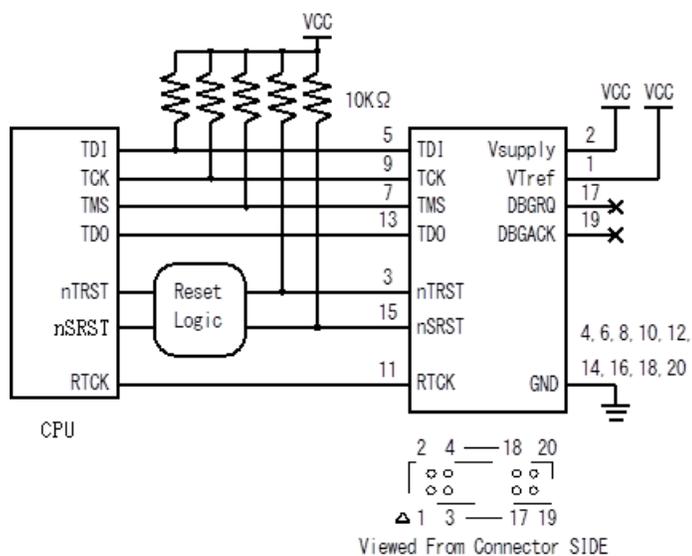


図2 JTAG 接続コネクタ推奨回路例

コネクタ型番 HIF3FC-20PA-2.54DSA(71) (ヒロセ電機株式会社製)

表 JTAGコネクタ (20 ピンタイプ) ピン配列

コネクタピン番号	CPU 信号名	備考
1	VTref	ターゲット I/O 電源(*1)
2	Vsupply	ターゲット I/O 電源(*1)
3	nTRST	
4	GND	
5	TDI	
6	GND	
7	TMS/SWDIO	
8	GND	
9	TCK/SWCLK	
10	GND	
11	RTCK	オプション(*2)
12	GND	
13	TDO/SWO	
14	GND	
15	nSRST	CPU リセット信号双方向(オープンコレクタ)
16	GND	
17	DBGRRQ	オプション(*2)
18	GND	
19	DBGACK	オプション(*2)
20	GND	

注1. パターン長はできるだけ短くしてください。

注2. TCK/SWCLK 信号 のクロックパターン長はできるだけ短くして、GND ガードすることを推奨します。

注3. \*1 コネクタ付近にパスコン(0.1uF)を配置してください。Vtref/Vsupply ピンは、ターゲットの I/O 電源に直接接続することを推奨します。ただし、本製品では 10KΩ までの抵抗を介した接続を許容します。これらのピンの用途はターゲットの電源監視であり、信号の電圧レベルを決定します。設定マニュアルの J\_VCC 項目、及びデバッグマニュアルの ZJV コマンドも参照してください。

注4. SWD 接続の場合、TDI/TDO は CPU 側に端子がない場合があります。その場合は未接続で構いませんが、存在する場合は接続を推奨します。また、SWO 信号(ITM の出力として使用されます)は CPU 側に端子がある場合は接続を推奨します。

注5. CPU 側に nTRST 端子がない場合は未接続で構いません。

注6. リセット回路は、『2.2 リセット回路について』を参照してください。

注7. \*2 RTCK/DBGACK/DBGRRQ 信号はオプションです。CPU 側に端子がある場合は接続することを推奨します。端子がない場合は未接続にしてください。

---

## 2.2 リセット回路について

---

CPU のリセット回路は、以下のように動作するように設計してください。

### 1: パワーオン時

- ・CPU コア,デバッグリソースを含む全体のリセット
- ・CPU の nTRST をアサート (※1)

### 2:nSRST アサート時

- ・デバッグリソースを除く CPU コア部分をリセット

### 3:nTRST アサート時

- ・CPU の nTRST を アサート

### 4: ターゲットボード上のリセットスイッチなどの他の要因

- ・CPU のコア部分をリセットするかデバッグリソースを含めて全体をリセットするかは検討ください。

デバッガ起動時は、通常 nTRST および nSRST の両方をアサートします。その後、nTRST をネゲート後(nSRST はアサート)に JTAG 接続を試みます。もし、nSRST 信号でデバッグリソースがリセットされたままだと JTAG 接続に失敗します。この場合は、nSRST をネゲートしてから JTAG 接続を再試行します。このようなターゲットでは、デバッガ接続時に nSRST がすでにネゲートされているためユーザのリセットルーチンが走り始めたあとでの接続になることに注意が必要です。

なお、nSRST は、オープンコレクタの双方向信号です。したがって、CPU に対してリセット信号をアサートする場合に、nSRST 信号も同時に Low にドライブすることを推奨します。デバッガは、ユーザプログラムの実行中にこの信号をモニタすることでリセットが要求されたことを検知します。

コントロールプローブのリセットプローブ(白色ケーブル) からリセット信号(負論理 オープンコレクタ) が出力されています。もし、ターゲットのシステム全体をリセットしたい場合など要求があるなら、リセットプローブをターゲットのリセット回路に接続することもできます。

(※1)

nTRST にパワーオン時リセットが必要かどうかは、SoC の仕様によります。デバッグリソースをリセットするのに nTRST のアサートを必要とする SoC もあります。

nTRSTのアサートが不要な場合、nTRSTはpull-upで構いません。デバッグリソースのリセットに、nTRSTのアサートが必要なSoCでは、nTRSTをpull-downとするか、パワーオンリセットでnTRSTをアサートする回路構成が必要です。ただし、pull-downの場合、下記の点にご注意ください。

- ・nTRSTがアサインされていないプローブ（HalfPitch-10Pinなど）を使用してデバッグすることはできません。

※Partner-Jet3のHalfPitch-10プローブは9番ピンにnTRSTをアサインすることが可能です。

- ・nTRSTをHighドライブしないツールを使用することはできません。

※Partner-Jet3ではnTRSTをHighドライブします。

上記の注意事項に対応するため、ターゲット上でnTRSTのpull-up/pull-downをスイッチ等で切り替えられるように設計する方法もあります。

## 3 プローブ基板の取り扱い

### 3.1 Standard-20pin プローブ基板

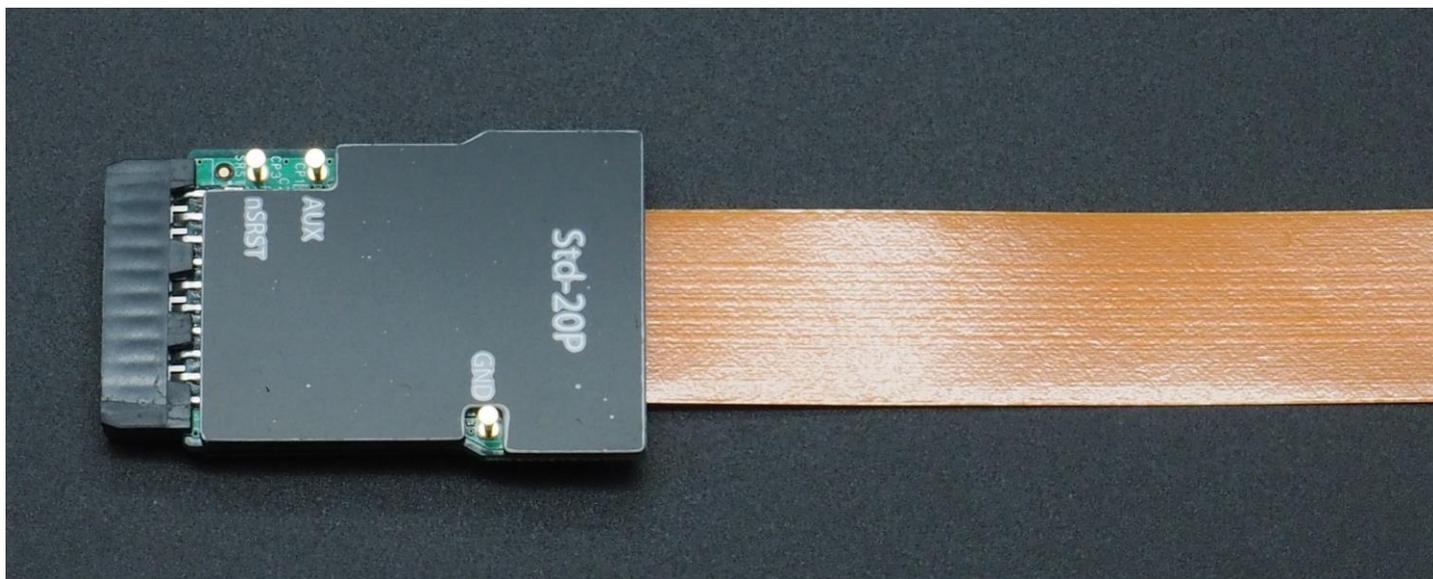


図3 プローブ基板

#### 3.1.1 テストポイント

プローブ基板上のテストポイントの説明です。通常使用しませんが、使用する場合はクリッピングプローブ等準備して接続してください。

##### GND

ホットプラグ用の GND として使用します。通常本体側の EXT1 でクリッピングします。ホットプラグについては、ハードウェアマニュアルを参照してください。

##### AUX

将来の拡張用予備です。(IO ポートとして使用します。)

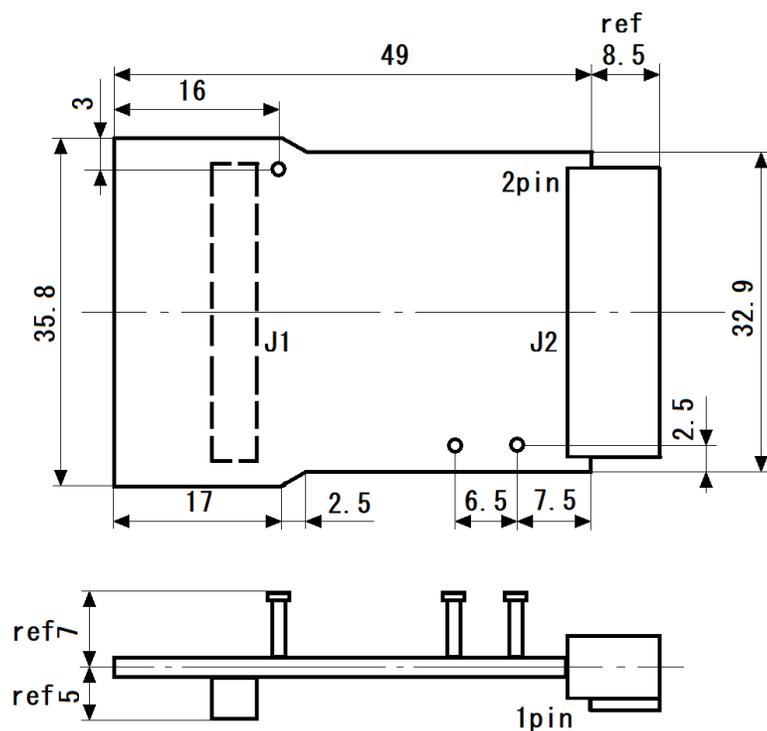
##### SRST

JTAG 接続コネクタの”SRST”信号と同じものです。接続コネクタにターゲット上で SRST の接続が無い、もしくは、別に接続する必要がある場合に使用できます。リセット信号が必要な場合は、通常本体側のコントロールプローブ(白)から出力されていますので、そちらを使用することを推奨します。接続に関しては『PARTNER-Jet3 ハードウェアマニュアル』を参照してください。

### 3.1.2 寸法図

ターゲット基板接続部分の寸法図です。refの寸法は、実装などにより多少ずれる可能性があります。参照値として検討ください。

なお、基板を挟む形で内側に薄いプラスチックのカバーが張り付けられています。



PCB thickness  $t=2.2$   
1pin is the backside of the 2pin

図4 寸法図

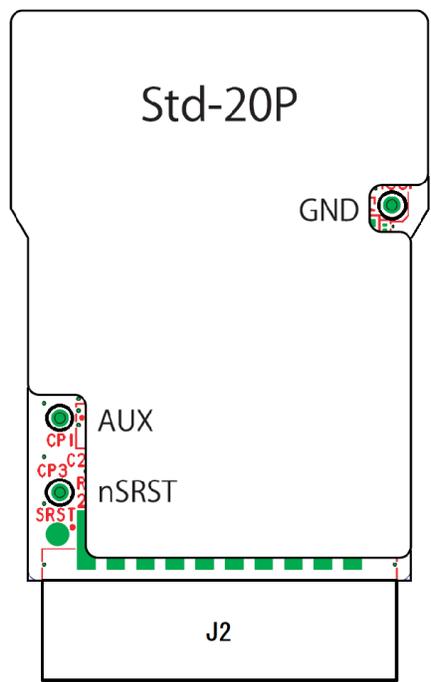


図 5 テストポイント配置図

## 3.2 延長アダプタ



図6 延長アダプタ

### 3.2.1 寸法図

ターゲット基板接続部分の寸法図です。refの寸法は、実装などにより多少ずれる可能性があります。参照値として検討ください。

なお、基板を挟む形で内側に薄いプラスチックのカバーが張り付けられています。

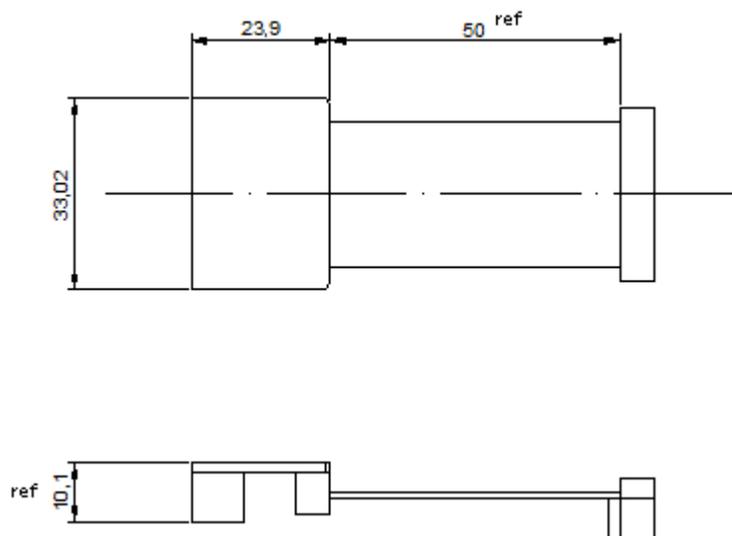


図7 寸法図

## 3.3

---

### 3.3 JTAG信号のスペック

---

JTAG 信号のスペックについては『PARTNER-Jet3 ハードウェアマニュアル』を参照ください。

**PARTNER-Jet3**  
**Standard-20pin プローブ**  
**[型番 STD20P-01]**  
**マニュアル**

**第1版 発行日2025年5月**

**京都マイクロコンピュータ(株)**

Copyright 2025 Kyoto Microcomputer Co.,LTD.